

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-054009
(43)Date of publication of application : 05.03.1993

(51)Int.Cl.

G06F 15/16
G06F 9/445
G06F 13/00

(21)Application number : 03-217675
(22)Date of filing : 29.08.1991

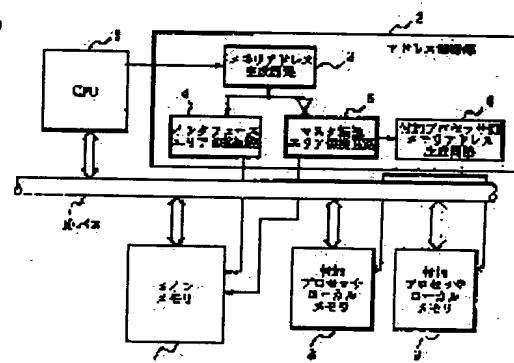
(71)Applicant : NEC ENG LTD
(72)Inventor : HAYAKAWA KAZUO

(54) PROGRAM LOAD SYSTEM

(57)Abstract:

PURPOSE: To shorten the time required to load a program to plural additional processor local memories.

CONSTITUTION: When an indication of switching to a master transfer area in a main memory 7 is given from a CPU 1 to a memory address generating circuit 3, a master transfer area switching circuit 5 is operated, and the master transfer area where additional processor local memories 8 and 9 can be simultaneously read and written is mapped in a main memory 7. The master transfer area switching circuit 5 controls an additional processor-side memory address generating circuit 6, and this circuit 6 maps the program in the master transfer area of the main memory 7 to simultaneously transfer the program to additional processor local memories 8 and 9 from the master transfer area in the main memory 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-54009

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl. ⁵ G 06 F 15/16 9/445 13/00	識別記号 4 2 0 S 9190-5L	序内整理番号 3 0 5 A 7368-5B 8944-5B	F I	技術表示箇所 G 06 F 9/06 4 2 0 K
--	-------------------------	--------------------------------------	-----	-------------------------------

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号 特願平3-217675

(22)出願日 平成3年(1991)8月29日

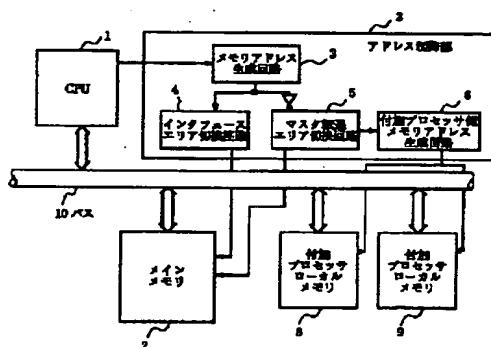
(71)出願人 000232047
日本電気エンジニアリング株式会社
東京都港区西新橋3丁目20番4号
(72)発明者 早川 和男
東京都港区西新橋3丁目20番4号日本電気
エンジニアリング株式会社内
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 プログラムロード方式

(57)【要約】

【目的】複数の付加プロセッサローカルメモリへのプログラムのロード時間を短縮させる。

【構成】CPU 1からメモリアドレス生成回路3にメインメモリ7内のマスタ転送エリアへの切換指示があると、マスタ転送エリア切換回路5が働き、メインメモリ7内には付加プロセッサローカルメモリ8, 9を同時に読み書きできるマスタ転送エリアがマッピングされる。マスタ転送エリア切換回路5は付加プロセッサ側メモリアドレス生成回路6を制御し、付加プロセッサ側メモリアドレス生成回路6がメインメモリ7内のマスタ転送エリアへマッピングすることにより、メインメモリ7内のマスタ転送エリアからは、付加プロセッサローカルメモリ8, 9へ同時に転送が行える。



【特許請求の範囲】

【請求項1】 周辺装置を制御する同様な機能を持つ複数個の付加プロセッサを備える電子計算機の付加プロセッサ用のプログラムロード方式において、前記電子計算機は前記複数個の付加プロセッサに対し同一のプログラムを格納するマスタ転送エリアを備えるメインメモリを有し、前記同一プログラムを格納するマスタ転送エリアから前記複数個の付加プロセッサのローカルメモリへ同時に転送する場合に同時にアクセスするアドレス制御手段を有することを特徴とするプログラムロード方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はプログラムロード方式に関する、特に周辺装置等を制御する付加プロセッサを有する電子計算機の付加プロセッサ用のプログラムロード方式に関する。

【0002】

【従来の技術】 従来この種のプログラムロード方式は、メインメモリ内に1個の付加プロセッサに対し1個のプログラム転送エリアを持ち、補助記憶装置に格納されている付加プロセッサ用プログラムをローダが、一旦プログラム転送エリアへ転送し、プログラム転送エリアにプログラムが書き込まれると、付加プロセッサ側のローカルメモリに自動的に書込まれる構成となっている。

【0003】

【発明が解決しようとする課題】 この従来のプログラムロード方式では、メインメモリ内に1個の付加プロセッサに対して1個のプログラム転送エリアを有する構成となっていて、同様の機能を持つ複数の付加プロセッサに同一のプログラムをロードする場合、1個の付加プロセッサのプログラムロードが終ってから、次の付加プロセッサのプログラムロードを行う方式をとっているので、同様の機能を持つ複数の付加プロセッサを有する電子計算機システムでは、その複数個分のプログラムロードを行う必要があり、したがって、付加プロセッサの個数が増えるほどプログラムロード時間が大きくなるという問題点がある。

【0004】

【課題を解決するための手段】 本発明のプログラムロード方式は、周辺装置を制御する同様な機能を持つ複数個の付加プロセッサを備える電子計算機の付加プロセッサ用のプログラムロード方式において、前記電子計算機は前記複数個の付加プロセッサに対し同一のプログラムを格納するマスタ転送エリアを備えるメインメモリを有し、前記同一プログラムを格納するマスタ転送エリアから前記複数個の付加プロセッサのローカルメモリへ同時に転送する場合に同時にアクセスするアドレス制御手段を有している。

【0005】

【実施例】 次に本実施例について図面を参照して説明す

る。

【0006】 図1は本発明の一実施例を適用する電子計算機を示すブロック図、図2は図1に示す本適用例における複数の付加プロセッサローカルメモリのプログラムロードの手順を示す流れ図、図3は本適用例におけるメインメモリのメモリ構成を示し、(a)はプログラムロード時のエリアを示す図、(b)はプログラムロード完了時のエリアを示す図である。

【0007】 図1において、本適用例の電子計算機は補助記憶装置(図示省略)からのプログラムが格納されるメインメモリ7と、付加プロセッサローカルメモリ8、9と、メインメモリ7および付加プロセッサローカルメモリ8、9のアドレスを制御するアドレス制御部2と、本適用例の電子計算機全体を制御するCPU1とを有して構成している。

【0008】 アドレス制御部2はCPU1の制御によってメインメモリ7のアドレスを生成するメモリアドレス生成回路3と、メインメモリ7内のインタフェースエリアおよびマスタ転送エリアとを切替えるインタフェース切替回路4およびマスタ転送エリア切換回路5と、マスタ転送エリア切換回路5によって制御されて付加プロセッサローカルメモリ8、9のアドレスを生成する付加プロセッサ側ローカルメモリアドレス生成回路6とを有して構成している。

【0009】 メインメモリ7は、図3の(b)に示すように付加プロセッサ8、9に対するそれぞれのインタフェースエリア72、73を有し、このインタフェースエリア72、73から付加プロセッサローカルメモリ8、9への個別のプログラムおよびデータが読み書きされる。又、メインメモリ7は図3の(a)に示すように、付加プロセッサローカルメモリ8、9に対する同一のプログラムが格納されるマスタ転送エリア71を有している。

【0010】 次に、本適用例における付加プロセッサローカルメモリへの同一プログラムの同時転送動作について図1、図2、図3を用いて説明する。

【0011】 CPU1からメモリアドレス生成回路3に、マスタ転送エリア71への切替指示(CPU1へはロードプログラムが切換指示を命令する)があると、マスタ転送エリア切換回路5が働き、メインメモリ7には付加プロセッサローカルメモリ8、9へ同時に読み書きできるマスタ転送エリア71がマッピングされる。

【0012】 マスタ転送エリア切換回路5は付加プロセッサ側メモリアドレス生成回路6を制御し、付加プロセッサ側メモリアドレス生成回路6がメインメモリ7のマスタ転送エリア71へマッピングすることにより、メインメモリ7内のマスタ転送エリア71からは、付加プロセッサローカルメモリ8、9へ同時に転送が行える。

【0013】 次に本適用例のプログラムロードについて図1、図2および図3を用いて説明する。

3

【0014】本適用例の電子計算機の電源投入あるいは再ロード要求によって(S11)、CPU1のローダが起動されると(S12)、CPU1はアドレス制御部2を制御し、付加プロセッサローカルメモリ8、9全てを、メインメモリ7のマスタ転送エリア71を指すようにする(S13)。CPU1は補助記憶装置(図示省略)からメインメモリ7へ付加プロセッサローカルメモリ8、9に展開されるプログラムを読み込み(S14)マスタ転送エリア71へ転送する(S15)。マスタ転送エリア71と、付加プロセッサローカルメモリ8、9は、物理的に同じメモリに見えているので、補助記憶装置のプログラムは付加プロセッサローカルメモリ8、9へ自動的にロードされる。

【0015】最後にCPU1はアドレス制御部2を制御し、それぞれの付加プロセッサローカルメモリ8、9を、付加プロセッサ毎のメインメモリ7のインターフェースエリア72、73にマッピングする(S16)。

【0016】

【発明の効果】以上説明したように本発明は、周辺装置を制御する同様な機能を持つ複数個の付加プロセッサを備える電子計算機の付加プロセッサ用のプログラムロード方式において、電子計算機は複数個の付加プロセッサに対し同一のプログラムを格納するマスタ転送エリアを備えるメインメモリを有し、同一プログラムをマスタ転送エリアから複数個の付加プロセッサのローカルメモリ

4

へ同時に転送する場合に同時にアクセスするアドレス制御手段を有すことにより、マスタ転送エリアから複数個の付加プロセッサのローカルメモリへ同時にプログラムをロードすることができるるので、従来よりロード時間を短縮することができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を適用する電子計算機を示すブロック図である。

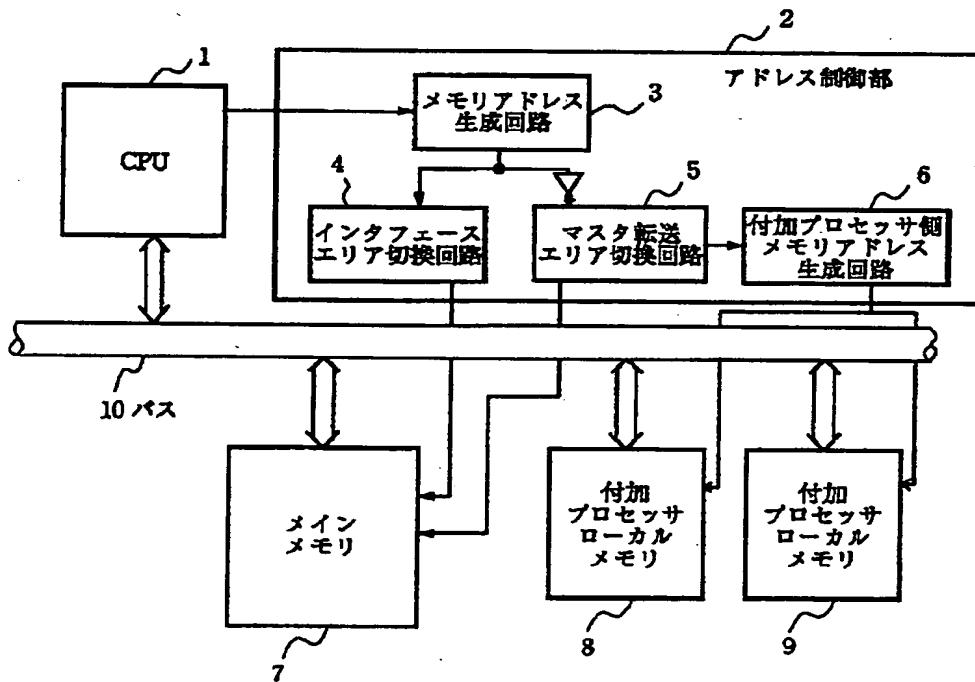
【図2】図1に示す本適用例における複数の付加プロセッサローカルメモリへのプログラムロードの手順を示す流れ図である。

【図3】本適用例におけるメインメモリのメモリ構成を示し、(a)はプログラムロード時のエリアを示す図、(b)はプログラムロード完了時のエリアを示す図である。

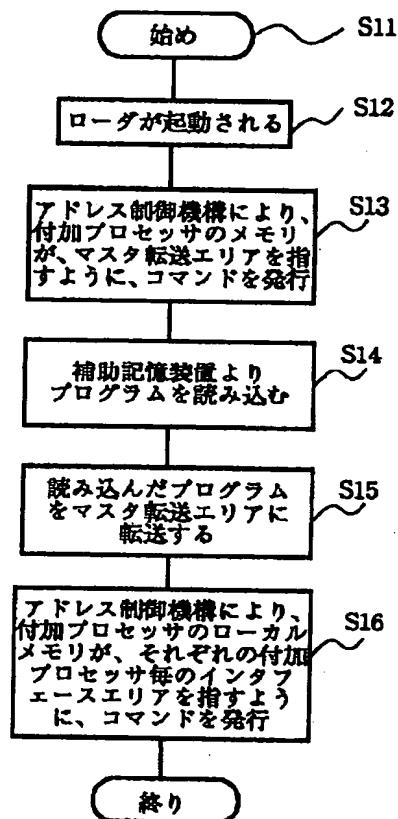
【符号の説明】

1	CPU
2	アドレス制御部
3	メモリアドレス生成回路
4	インターフェースエリア切換回路
5	マスタ転送エリア切換回路
6	付加プロセッサ側メモリアドレス生成回路
7	メインメモリ
8, 9	付加プロセッサローカルメモリ
10	バス

【図1】



【図2】



【図3】

